



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **01224998 A**(43) Date of publication of application: **07 . 09 . 89**

(51) Int. Cl.

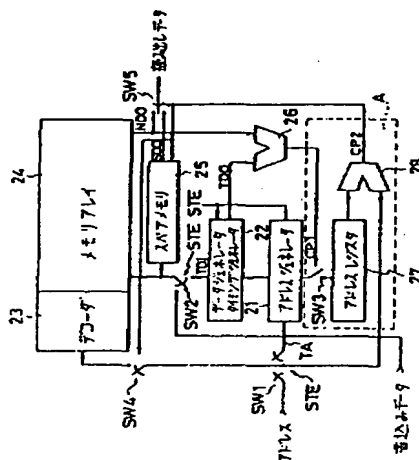
G11C 29/00**G11C 11/34****H01L 27/10**(21) Application number: **63049751**(22) Date of filing: **04 . 03 . 88**(71) Applicant: **TOSHIBA CORP**(72) Inventor: **SAWADA KAZUHIRO
SAKURAI TAKAYASU**(54) **SEMICONDUCTOR MEMORY**

COPYRIGHT: (C)1989,JPO&Japio

(57) Abstract:

PURPOSE: To facilitate an evaluating process by storing an applicable address in a register when a memory access read result and expected value data are inconsistent and switching a normal memory and a spare memory by a compared result obtained by comparing an address in the register and an external input address.

CONSTITUTION: The read result of a memory array 24 and read expected value data from a generator 22 are compared at a first comparator 26, the applicable address is stored in a register 27 as a defective address when both of them are inconsistent, and when it is decided that the address in the register 27 and the external input address are coincident from the output result of a second comparator 28 to compare the address in the register 27 and the external input address, the memory array 24 and a spare memory 25 are switched since it is a defective access. Thus, the evaluating process can be facilitated by electrically replacing the memory array with the spare memory 28 without using the fuse blow of a redundancy circuit, and the cost of evaluation can be reduced.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-224998

⑬ Int. Cl.⁴

G 11 C 29/00
11/34
H 01 L 27/10

識別記号

3 0 1
3 7 1
4 9 1

庁内整理番号

B-7737-5B
D-8522-5B
8624-5F

⑭ 公開 平成1年(1989)9月7日

審査請求 有 請求項の数 2 (全5頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 昭63-49751

⑰ 出 願 昭63(1988)3月4日

⑱ 発 明 者 沢 田 和 宏 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑲ 発 明 者 桜 井 貴 康 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑳ 出 願 人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(I) デコーダを有するメモリアレイと、外部制御ピンによりテストモードを設定した際にアドレス、読み出し/書き込み制御信号、書き込みデータ、読み出し期待値データを制御クロックに応じて生成する第1の制御回路と、前記メモリアレイの読み出し結果と前記読み出し期待値データを比較する第1の比較器と、この第1の比較器の出力に応じて不一致時に該当アドレスを記憶するアドレスレジスタと、通常動作時に該アドレスレジスタ内アドレスと外部入力アドレスの比較を行う第2の比較器と、この第2の比較器の出力結果に対応して前記メモリアレイとスベアメモリを切り換えてアクセスする第2の制御回路とを具備することを特徴とする半導体記憶装置。

(II) 同一基板上にメモリアレイとロック回路を設けた半導体記憶装置において、第1の制御回

路、第2の制御回路、第1の比較器、第2の比較器、スベアメモリ、及びアドレスレジスタをロック回路部に組み込むことを特徴とする請求項1記載の半導体記憶装置。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、半導体記憶装置に関するもので、特に、メモリの評価方法を容易化し、評価コストを低減化し、かつ、メモリ使用の際の信頼性を向上させることをめざした半導体メモリに使用されるものである。

(従来の技術)

第4図に、従来から提案されている冗長回路内蔵のメモリの構成概略図を示す。通常のデコーダ1とメモリ・アレイ2に加えて、スベアのデコーダ3とメモリ4を持つ。テスターにより、通常のメモリ・アレイ2をテストし、不良ビットの存在を検査する。不良ビットが存在する場合、その対応アドレスに対して、スベアメモリ4に置換す

べく、プログラム回路によるプログラムを人為的に行なう必要がある。プログラム回路の一例を第5図に示す。第5図中、5はP型MOSFET、6及び7はN型MOSFET、C₁及びC₂は容量、Fはフューズ(fuse)でポリシリコンなどにより形成されている。レーザ・マシンによりフューズFをブローしないと、Pが“L”、 \bar{P} が“H”の状態に安定し、フューズFをブローすると逆の状態に安定する。第5図で説明したプログラム回路を用いて、スベアアドレスをプログラムするスベアデコーダ3の例を第6図に示す。即ち、プログラム回路8を含むA部で置換すべきアドレスをMOSFET9、10よりなるトランスファークロークにより制御し、A₁又はA₂が“H”つまりアドレスが“H”か“L”を選別し、スベアアドレスA₁sを生成する。これに加えてB部で示すプログラム回路により、スベアイネーブル(Spare Enable)信号を生成し、スベアアドレスA₁sとアンド回路11で相合させ、スベアアドレスイネーブル(Spare Address Enable)信号

しかも上記のようにメモリ13のみの評価プロセスが多いと、評価コストが増大する。

この発明は上記のような点に鑑みてなされたもので、単体またはロジック回路搭載時の半導体メモリにおいて、冗長回路のフューズブローを用いずに電気的にスベア・メモリと置換することによって評価プロセスを容易化し、評価コストを低減化し得る半導体記憶装置を提供することを目的とする。

【発明の構成】

(課題を解決するための手段と作用)

本発明は目的を達成するために、デコーダを有するメモリアレイと、外部制御ピンによりテストモードを設定した際にアドレス、読み出し/書き込み制御信号、書き込みデータ、読み出し期待値データを制御クロックに応じて生成する第1の制御回路と、前記メモリアレイの読み出し結果と前記読み出し期待値データを比較する第1の比較器と、この第1の比較器の出力に応じて不一致時に該当アドレスを記憶するアドレスレジスタと、

A₁s_eを生成し、スベアメモリアレイ4にアクセスすると同時に、通常メモリアレイ2を非活性化するように制御する。このようにして通常のメモリアレイ2の不良ビットのアドレスに対してアクセスが行われた場合、スベア・メモリアレイ4にアクセスされるようにプログラムするわけである。

(発明が解決しようとする課題)

この方式では、メモリチップをまずテストし不良アドレスを検出し、その後フューズをブローし、最終的にもう一度テストし、正しく置換されているかチェックする必要がある。このように、レーザブローの必要があり、評価のターンアラウンド(turn around)を遅くし、しかも評価コストアップにつながる。また、レーザ・マシンによるブローには、機械的ミスが存在し、歩留りの低下も生ずる。

特に第7図に示すようなロジック回路12にメモリ13を搭載したメモリ搭載ロジックの場合、メモリ13、ロジック回路12を別々に評価し、

通常動作時に該アドレスレジスタ内アドレスと外部入力アドレスの比較を行う第2の比較器と、この第2の比較器の出力結果に対応して前記メモリアレイとスベアメモリを切り換えてアクセスする第2の制御回路とを具備することを特徴とするもので、メモリアレイの読み出し結果と読み出し期待値データを第1の比較器で比較し、不一致の場合に該当アドレスをレジスタに記憶し、このレジスタ内アドレスと外部入力アドレスの比較を行なう第2の比較器の出力結果により、メモリアレイとスベアメモリを切り換えるものである。

(実施例)

第1図に本発明の実施例を示す。ここでは、デコーダ23、メモリアレイ24とスベアメモリ25および置換制御回路のみを示しており、メモリ全体を構成するその他の制御信号発生回路部、増幅器部、入出力ピンバッファなどを省略している。

第2図の動作タイミング図により動作を説明する。信号は第1図に対応する。まず、外部制

脚ピンにより、セルフテストイネーブル(Self Test Enable: STE)信号を活性状態にし、テストモードを設定する。これによりスイッチSW1はTA側、スイッチSW2はTDI側を選択する。チップ活性化信号CEにクロックCLKを入力する。この信号に依じてアドレスジェネレータ21、データジェネレータ及びタイミングジェネレータ22を動作させ、アドレス(Addr)、書き込みデータ(Datain)、読み出し/書き込み制御信号(R/W)を生成する。第2図では、t₁～t₂で書き込み(write)を行ない、t₃以降読み出し(read)モードになる場合を示している。t₃から読み出し動作がスタートし、t₄で出力がバリッド(valid)になっている。このとき、第1の比較器26でジェネレータ22からの読み出し期待値データ(data)TDOとメモリアレイ24からの出力NDOを比較し、一致しない場合は比較器26の出力CP1がエラー(error)となり、正しい読み出し/書き込みが行なわれていないため不良ビットであることを意

味している。比較器26の出力CP1によりスイッチSW3を制御し、該当不良アドレス(Addr)をアドレスレジスタ27に書き込むように制御する。上記動作を全メモリアドレスに対して行ない、不良アドレスを抽出する。不良アドレスの抽出方法は用意するスベアメモリ25に対応して考えられる。つまりロウ方向にスベアメモリ25を有する場合はロウアドレスのみを抽出すれば良く、カラム方向の場合はカラムのみで良いことになる。

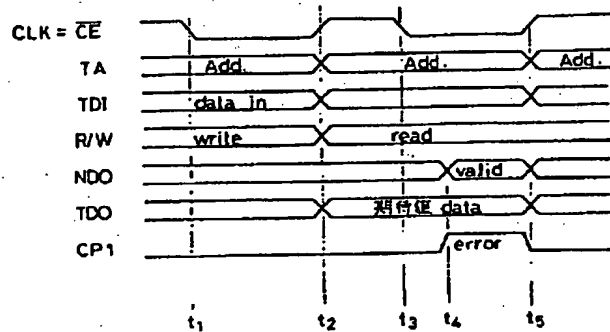
不良アドレス抽出後は、置換をチェックするため第2図と同様のタイミングで全メモリアドレスに対してテストを行なう。ただしここでは、すでに不良アドレスを抽出してあるため、不良アドレスに対しての読み出し/書き込みアクセスをスベアメモリ25に対して行なうように制御する。この方法としては、第2の比較器28で、レジスタ27の出力とアドレスを比較し、一致するときは不良アドレスアクセスであるため、この比較器28の出力CP2によって通常メモリ・アレイ24をスイッチSW4により非活性化し、スベア

メモリ25にアクセスされるようにする。正しくスベアメモリ25に置換されると、不良アドレス抽出の際にはエラーになっていたアドレスも含めた全アドレスに対して読み出し/書き込みが正常に行なわれることになる。比較器28の出力CP2でスイッチSW5を切換えて正常な出力データを得る。比較器26の出力CP1に今度はエラーフラグが立たないことを確認すれば正しく置換されたことがわかる。なお、第1図中点線Aで示すレジスタ27と比較器28の組合せを一組とすると、スベアメモリ25の大きさに応じてこの組の数を決定することになる。

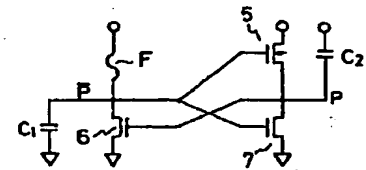
通常動作状態では、スイッチSW1は入力アドレスにスイッチSW2は入力データにつながる。入力アドレスは常にレジスタ27の内容と比較され、不良アドレスにアクセスされるときは、この比較器28の出力CP2に応じて通常メモリデコーダ23を非活性化し、スベアメモリ25にアクセスされるように制御する。第1図は通常メモリ・アレイ24のロウまたはカラム方向にスベアメ

モリ25が付加される構成を示している。これは単体のメモリチップの場合である。これに対し、ロジック回路混載時のメモリに対する例を第3図に示す。基本的動作概略は第1図と同様である。この場合周辺制御回路はロジック回路部(例えばゲートアレイ)で組むわけであり、スベアメモリ25もフリップフロップなどで簡単に作ることが可能である。点線Bで示すレジスタ27、比較器28、スベアメモリ25を一組としてこの組の数が何ビット置換可能であるかを決定する。第1図との違いは、不良アドレスにアクセスされた場合でも通常メモリ・デコーダ23を非活性化する必要がないことである。

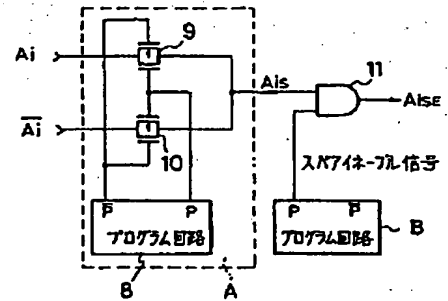
尚、上記実施例において、半導体記憶装置への電源供給がとまると、アドレスレジスタの記憶装置が消えるため、電源再供給時に半導体記憶装置のテストをやり直さなければならないが、このような場合には電源供給がとまっても記憶内容が消えない例えば、EPROMセルと高電圧発生回路、制御回路などをロジック部に用意して、アドレス



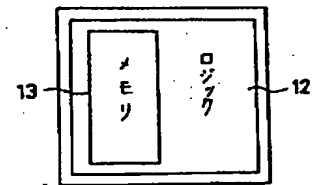
第 2 図



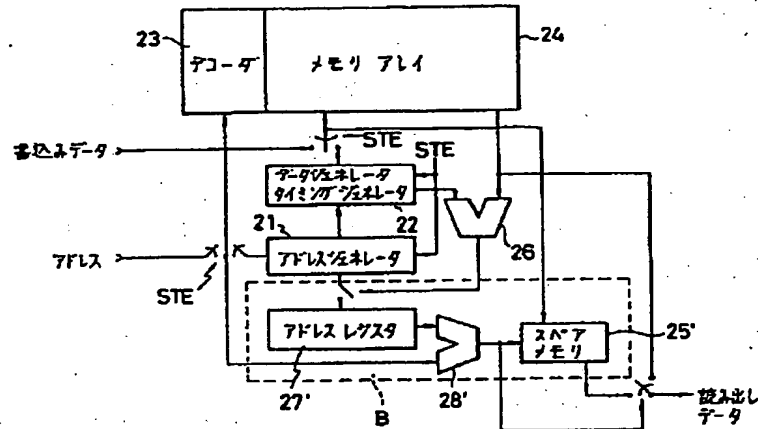
第 5 図



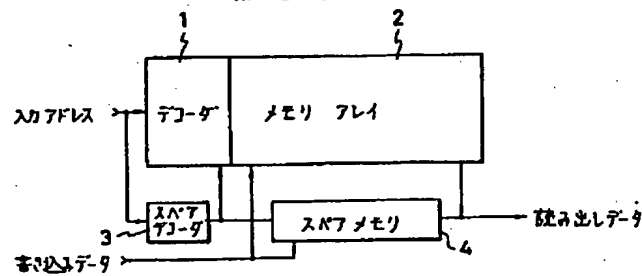
第 6 図



第 7 図



第 3 図



第 4 図

